

Requested document:**JP10078967 click here to view the pdf document**

DATA PROCESSOR AND SORT ARITHMETIC UNIT AND ITS METHOD

Patent Number: JP10078967

Publication date: 1998-03-24

Inventor(s): ISHIAI TETSUO

Applicant(s): MITSUBISHI ELECTRIC CORP

Requested Patent: JP10078967

Application Number: JP19960232064 19960902

Priority Number(s):

IPC Classification: G06F17/30; G06F7/24

EC Classification:

Equivalents: JP2950249B2

Abstract

PROBLEM TO BE SOLVED: To increase the total processing speed of a system and to improve the system reliability by applying the projection processing to an input record via a projection processing control circuit which refers to a projection processing table where the contents of the projection arithmetic processing are set.

SOLUTION: The data are transferred to a main storage device 2 of a host computer from an external storage device 4 by an instruction of a CPU 1. Then the data are transferred to a sort arithmetic unit 5. The unit 5 starts a DMA control part 12 to perform the DMA transfer to a memory 11 from the storage 2 via a processor 10 and temporarily fetches the data to the part 12 via an interface 6 and a bus to write them into the memory 11 after the projection arithmetic processing is applied to an input record. The data are transferred to a sorter part 9 via the DMA transfer started again by the processor 10 and sorted at the part 9.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-78967

(43)公開日 平成10年(1998)3月24日

(51)Int.Cl.⁶
G 0 6 F 17/30
7/24

識別記号 庁内整理番号

F I
G 0 6 F 15/403
7/24
15/40

技術表示箇所
3 4 0 D
M
3 1 0 A

審査請求 有 請求項の数8 O.L (全12頁)

(21)出願番号 特願平8-232064

(22)出願日 平成8年(1996)9月2日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 石合 哲郎

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

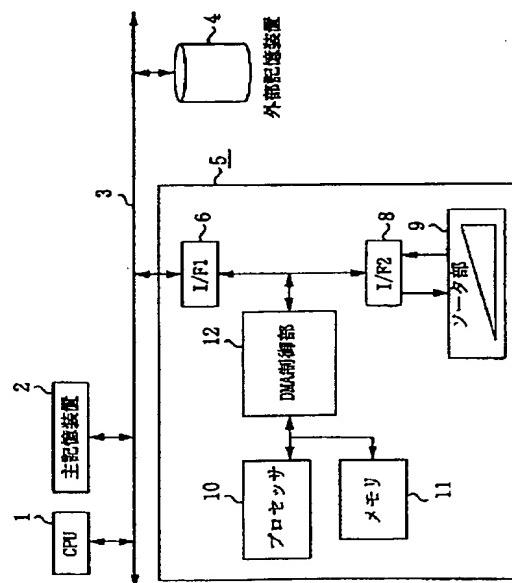
(74)代理人 弁理士 宮田 金雄 (外3名)

(54)【発明の名称】 データ処理装置並びにソート演算装置及びソート演算方法

(57)【要約】

【課題】 ソート演算装置においてシステム全体としての処理速度を向上すること及びシステムの信頼性を高めることを課題とする。

【解決手段】 バイブライン・マージソート法によるハードウェアソータを縦列に接続したソータ部と、DMAによるデータ転送を起動するプロセッサと、プロセッサが主記憶装置としてアクセスすることができるメモリと、ハードウェアにより射影演算処理を行なうデータ処理装置を内蔵するDMA制御部とを備えたものである。



1

【特許請求の範囲】

【請求項1】複数のフィールドから構成される入力レコードを格納するレジスタ、上記フィールドの射影後の上記レコードの先頭からの相対アドレスの位置及び長さを格納した射影処理テーブル、この射影処理テーブルから読み込んだ相対アドレス及びフィールド長から上記各フィールドの出力サイズと出力アドレスを演算し出力する演算部、この演算部の演算結果に基づき上記レジスタに格納された入力レコードの各フィールドを配列して出力レコードを生成するセレクタ、上記入力レコードの読み込みから出力レコードの出力までを制御する制御部を備えたことを特徴とするデータ処理装置。

【請求項2】上記射影処理テーブルは、一つのフィールドにつき複数の相対アドレスを設定可能なことを特徴とする請求項1記載のデータ処理装置。

【請求項3】上記射影処理テーブルは、レコード識別番号の相対アドレスを設定可能なことを特徴とする請求項1又は請求項2に記載のデータ処理装置。

【請求項4】上記射影処理テーブルは、上記フィールドを削除する指定が設定可能なことを特徴とする請求項1～請求項3のいずれかに記載のデータ処理装置。

【請求項5】上記射影処理テーブルは、データ内容とそのデータ内容の種別を表す識別子から構成されることを特徴とする請求項1～請求項4のいずれかに記載のデータ処理装置。

【請求項6】複数のフィールドから構成される入力レコードを格納するレジスタ、上記フィールドの射影処理後の上記レコードの先頭からの相対アドレスの位置及び長さを格納した射影処理テーブル、この射影処理テーブルから読み込んだ相対アドレス及びフィールド長から上記各フィールドの出力サイズと出力アドレスを演算し出力する演算部、この演算部の演算結果に基づき上記レジスタに格納された入力レコードの各フィールドを配列して出力レコードを生成するセレクタ、上記入力レコードの読み込みから出力レコードの出力までを制御する制御部を備えたことを特徴とするデータ処理装置を有し、このデータ処理装置の出力レコードを格納するメモリ、このメモリに対するリードライト及び上記データ処理装置の出力を制御するシーケンサ、このシーケンサに起動をかけるプロセッサ、このプロセッサにより起動をかけられたシーケンサによる射影処理後のレコードがメモリにライト後リードされそのリードされたレコードをソートするソータ部を備えたことを特徴とするソート演算装置。

【請求項7】上記演算部が演算中のときは上記プロセッサにバスアクセスを許可する通知を出し、上記演算部が演算中でないときは上記データ処理装置にバスアクセスを許可する通知を出す調停回路を備えたことを特徴とする請求項6記載のソート演算装置。

【請求項8】入力レコードを読み込みデータ処理装置

2

に入力するステップ、上記データ処理装置において射影処理後の出力レコードをメモリに格納するステップ、上記メモリに格納された出力レコードをソータ部に入力するステップ、上記ソータ部においてソートされたレコードを上記メモリに格納するステップからなるソート演算方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、特に射影演算処理をハードウェアによって実行することにより、電子計算機上のデータベース処理を高速化したデータ処理装置及びこのデータ処理装置を使用して射影演算処理と共にソート処理を行うソート演算装置に関するものである。

【0002】

【従来の技術】図12は、例えば、「情報処理」Vol. 3 No. 12, p1416-1423に示された従来のハードウェアソート演算装置を示すものである。図において、101はハードウェアソート演算装置、102は制御装置、103はデータベース処理装置、104はソート処理装置、105はホスト計算機のバス、106はホスト計算機の主記憶装置、107はホスト計算機のCPU、108はホスト計算機上でデータを格納するディスク装置、109はホスト計算機である。

【0003】次に動作について説明する。ホスト計算機109でデータ処理の要求が発生すると、ホスト計算機109のCPU107は、対象となるデータが格納されているディスク装置108からデータを取り出し、これをバス105を経由して、ホスト計算機の主記憶装置106に転送する。そして、ホストCPU107からの命令により、ハードウェアソート演算装置101がホスト計算機の主記憶装置106からデータを取り込む。ハードウェアソート演算装置101は、データを取り込むと、データベース処理装置103による処理及びソート処理装置104によるソート処理を行ない、結果を再びバス105を経由してホスト計算機の主記憶装置106に転送する。ホスト計算機CPU107は、転送された結果データを、入力時と同様にディスク装置108に格納する。

【0004】次に、データベース処理装置103の動作について説明する。一般にデータベース処理装置103は、入力されてくるデータに対し、射影処理を含むデータベース演算処理を、ソート処理装置104によるソート処理に先立った処理または後処理として実施する。ここで、ソート処理装置104はハードウェアで構成されているが、データベース処理装置103は主に1個または複数個の汎用マイクロプロセッサとその主記憶装置から構成されていた。従って、データベース処理装置103は、射影処理を含むデータベース演算処理を、汎用マイクロプロセッサが、その主記憶装置をワーキング領域として使用するといった、ソフトウェア処理として実行していた。

【0005】

【発明が解決しようとする課題】従来のハードウェアソ

ート演算装置は以上のように構成されていたため、以下の問題点があった。

【0006】射影演算処理を、ハードウェアによるソート処理の前処理あるいは後処理として、ソフトウェアがシリアルになっていたため、ハードウェアで構成されたソート演算装置が高速にソート処理を実行しても、射影演算処理を実行するソフトウェア処理が相対的に低速であるため、全体的な演算速度が遅くなっていた。また、データベースを構成するレコード中のいくつかの特定のフィールドを各々複数のフィールドへ複写するような射影処理を施す場合、そのフィールドデータの複写処理をソフトウェアにより実行する分のオーバヘッドが、システム全体の処理速度低下の原因になっていた。

【0007】また、転送途中で各レコードにレコードIDを付加する処理において、ソフトウェアによる処理で実施していたため、ソフトウェアによる実行のオーバヘッドが、システム全体の処理速度低下の原因になっていた。

【0008】さらに、射影演算処理回路を構成した場合、ソフトウェアにより射影演算処理に必要なパラメータを内部レジスタに設定して、回路を起動し、結果を得ることになるため、設定するパラメータを誤って設定し、回路起動して、結果が得られた場合、その結果の正当性を保証することが困難であった。また、そのエラーチェックをソフトウェアで実施する時、性能低下を招いた等の問題点があった。

【0009】この発明は、上記のような問題点を解消するためになされたもので、システム全体としての処理速度を改善すること及びシステムの信頼性を高めることを目的とする。

【0010】

【課題を解決するための手段】この発明に係るデータ処理装置は、複数のフィールドから構成される入力レコードを格納するレジスタ、上記フィールドの射影後の上記レコードの先頭からの相対アドレスの位置及び長さを格納した射影処理テーブル、この射影処理テーブルから読み込んだ相対アドレス及びフィールド長から上記各フィールドの出力サイズと出力アドレスを演算し出力する演算部、この演算部の演算結果に基づき上記レジスタに格納された入力レコードの各フィールドを配列して出力レコードを生成するセレクタ、上記入力レコードの読み込みから出力レコードの出力までを制御する制御部を備えたものである。

【0011】また、上記射影処理テーブルは、一つのフィールドにつき複数の相対アドレスを設定可能なものである。

【0012】さらに、上記射影処理テーブルは、レコード識別番号の相対アドレスを設定可能なものである。

【0013】また、上記射影処理テーブルは、上記フィールドを削除する指定が設定可能なものである。

【0014】さらにまた、上記射影処理テーブルは、データ内容とそのデータ内容の種別を表す識別子から構成されるものである。

【0015】この発明に係るソート演算装置は、複数のフィールドから構成される入力レコードを格納するレジスタ、上記フィールドの射影処理後の上記レコードの先頭からの相対アドレスの位置及び長さを格納した射影処理テーブル、この射影処理テーブルから読み込んだ相対アドレス及びフィールド長から上記各フィールドの出力サイズと出力アドレスを演算し出力する演算部、この演算部の演算結果に基づき上記レジスタに格納された入力レコードの各フィールドを配列して出力レコードを生成するセレクタ、上記入力レコードの読み込みから出力レコードの出力までを制御する制御部を備えたことを特徴とするデータ処理装置を有し、このデータ処理装置の出力レコードを格納するメモリ、このメモリに対するリードライト及び上記データ処理装置の出力を制御するシーケンサ、このシーケンサに起動をかけるプロセッサ、このプロセッサにより起動をかけられたシーケンサによる射影処理後のレコードがメモリにライト後リードされそのリードされたレコードをソートするソータ部を備えたものである。

【0016】また、上記演算部が演算中のときは上記プロセッサにバスアクセスを許可する通知を出し、上記演算部が演算中でないときは上記データ処理装置にバスアクセスを許可する通知を出す調停回路を備えたものである。

【0017】この発明に係るソート演算方法は、入力レコードを読み込みデータ処理装置に入力するステップ、上記データ処理装置において射影処理後の出力レコードをメモリに格納するステップ、上記メモリに格納された出力レコードをソータ部に入力するステップ、上記ソータ部においてソートされたレコードを上記メモリに格納するステップからなるものである。

【0018】

【発明の実施の形態】

実施の形態1. 以下、本発明によるデータ処理装置及びソート演算装置の実施の形態1を図に基づいて説明する。図1は、ホストコンピュータにソート演算装置を接続した時のシステム構成を示すブロック図である。図において、1はホストコンピュータのCPU、2はホストコンピュータの主記憶装置、3はシステムバス、4はホストコンピュータの外部記憶装置、5は本発明によるソート演算装置である。6はソート演算装置5とシステムバス3とのデータのインタフェース、7はインタフェース6とソータインターフェース8をつなぐデータバス、9はバイライン・マージソート法によるハードウェアソータを継列に接続したソータ部、10はDMAによるデータ転送を起動するプロセッサ、11はプロセッサ10が主記憶装置としてアクセスすることができるメモリ、12はハード

ウェアにより射影演算処理を行なう機能を内蔵するDMA制御部である。

【0019】図2は、ハードウェアにより射影演算処理を行なう機能を内蔵するDMA制御部12の内部構成を示すブロック図である。図において、13は入力データバッファ、14はDMA転送をコントロールするシーケンサ、15は本発明における射影演算処理を実行するデータ処理装置としての射影処理制御回路、17はシーケンサ14から出力された転送データ35と、射影演算処理回路15を通過してきた転送データ36のいずれかを選択するセレクタ、18は射影処理制御回路15が演算中である時、直ちには転送データを出力できないタイミングであることを示す信号であり、バス25を開放する通知である。

【0020】19はDMA制御部12のデータ転送と同じバス25を使用するマイクロプロセッサ10との間のバスアクセスを調停する調停回路であるバスアービタ、20はシーケンサ14がバス25をアクセスしたい時にバスアービタ19に対して出力するバス要求信号、21はバスアービタ19がシーケンサ14にバスアクセスを許可することを示す信号、22はマイクロプロセッサ10がバス25をアクセスしたい時に、バスアービタ19に対して出力するバス要求信号、23はバスアービタ19が上記信号18を受けたとき、マイクロプロセッサ10に対して、バス25のアクセスを許可するために出力するバスアクセス許可信号、24は射影処理制御回路15がシーケンサ14に對して転送データを出力することを禁止する信号である。

【0021】26は射影処理制御回路15がメモリ11に対しても出力するデータの位置を示すためのアドレス信号、27はシーケンサ14がメモリ11からリードするデータの位置を示すためのアドレス信号、28はアドレス信号26とアドレス信号27とを転送モードにより選択して、アドレス信号32としてメモリ11に outputするためのセレクタ、29は射影処理制御回路15がメモリ11に對してデータを出力するタイミングを示すためのデータストローブ信号、30はシーケンサ14が、メモリ11上からデータをリードするタイミングを示すため、または、射影処理制御回路15にデータを出力するためのストローブ信号、31はデータストローブ信号29とストローブ信号30を転送モードにより選択して、チップセレクト信号33としてメモリに出力するためのセレクタ、34は射影処理制御回路15が、シーケンサ14に對して転送終了を通知する信号、35はシーケンサ14が、射影処理制御回路15、及びセレクタ17に對して転送データを出力するデータ信号、36は射影処理制御回路15の出力データをセレクタ17に伝達するデータ信号、37はシーケンサ14が射影処理制御回路15に對して転送開始を通知する信号、である。

【0022】図3は、図2における射影処理制御回路15の内部構成例を示したブロック図である。図において、40は射影演算処理内容を書き込んだ射影処理テーブル、41は射影演算処理に使用する入力レコードの1レコード分

の長さを格納するレコード長レジスタ、42は転送する入力レコードの全体の長さを格納する転送ブロック長レジスタ、43は転送後の1レコードの長さを格納する転送後レコード長レジスタ、44は射影演算処理を実行するための出力アドレスと出力サイズを演算する演算部、45は射影処理制御回路15全体の制御をする制御部、46は転送の終了を検知するために各転送長レジスタ41～43の値を各々ゼロになるまでカウントする複数のカウンタから構成されるカウンタである。

【0023】47は入力レコードである入力転送データ35を射影処理テーブル40の内容通りに並べて出力するためのレジスタ／セレクタ部、48は制御部45から演算部44への制御信号、49は制御部45から射影処理テーブル40にテーブルポインタを進める、などの指示をするための制御信号、50は射影処理テーブル40からテーブル内容データを演算部44にセットするためのデータ信号、51は制御部45からカウンタ46にレジスタ41～43の各値をセットし、またセットした値をカウントダウンしていくためのカウントストローブ信号、52は演算部44からレジスタ／セレクタ部47に次に出力するデータ幅を指定する出力サイズ信号、53はカウンタ46のカウント値41～43がカウントアップした時に制御部45にカウント終了を伝えるためのカウント終了信号、54はレコード識別番号であるレコードIDの初期値を保持し、1レコードを転送する毎にレコードIDの数字をカウントアップしていくレコードIDデータカウンタ、55は制御部45からレコードIDデータカウンタ54にカウントアップを指示するカウントアップ制御信号、である。

【0024】次に、動作について説明する。図1において、ホストコンピュータのCPU1が本発明によるソート演算装置5を用いて、ソート処理と同時に射影処理を実行しようとする場合、まずCPU1の命令によりソート処理及び射影処理を実施しようとするデータを、ホストの外部記憶装置4からホストコンピュータの主記憶装置2に転送する。その後、ホストコンピュータの主記憶装置2上に置かれたデータをソート演算装置5上に転送するようにソート演算装置5に対して命令を発行する。命令を受けたソート演算装置5では、プロセッサ10により、主記憶装置2からメモリ11へのDMA転送をDMA制御部12に對して起動する。DMA起動により、データは、インターフェース6及びバス7を経由してDMA制御部12に一時取り込まれ、射影演算処理を施された後、メモリ11へと書き込まれる。メモリ11に書き込まれたデータは、再度プロセッサ10により起動されたDMAにより、DMA制御部12、バス7、ソータインターフェース8を経由して、ソータ部9に転送される。ソータ部9にてソート処理を施されたデータは、ソータインターフェース8→バス7→DMA制御部12→メモリ11の経路、及びメモリ11→DMA制御部12→バス7→インターフェース6→ホストコンピュータの主記憶装置2の経路を経て、プロセッサ10の2回のDMA処理

の起動により、命令されたデータ転送を完了する。

【0025】図2において、プロセッサ10により、DMAが起動された時、DMA制御部12内部のシーケンサ14が主体となって、DMA処理全体の制御を担当する。シーケンサ14の中には、起動されたDMA処理の制御パラメータが、プロセッサ10によって設定されている。DMA転送パラメータには、転送先もしくは転送元になるメモリ11上の転送開始アドレス、起動したDMA処理で何バイトの転送を実行するかを指定する転送量、どの方向のDMA処理かを示す転送モード、がある。また、射影処理制御回路15の内部にあるレジスタ(レコード長レジスタ41、転送ブロック長レジスタ42、転送後レコード長レジスタ43)、及び射影処理テーブル40に、射影処理内容が設定されている。プロセッサが、このパラメータを射影処理テーブルに設定すると、シーケンサ14が動作を始める。

【0026】まず、シーケンサ14は、射影処理制御回路15に対して 転送開始を通知する信号37を出力する。そして、ホストコンピュータの主記憶装置2→メモリ11方向のDMA処理を起動されると、シーケンサ14はホストコンピュータの主記憶装置2→インターフェース6→バス7を経由して、入力データバッファ13にデータを格納する。そして、自身の内部を通過したデータを、データ信号35を経由させて、射影処理制御回路15に出力する。また、その時セレクタ31へのデータストローブ信号30を出力する。一方、シーケンサ14の内部に設定された、メモリ11上の転送開始アドレスが、アドレス信号27の分岐を経由して、射影処理制御回路15に出力されている。射影処理制御回路15は、受け取ったデータと、転送先アドレス27と、射影処理テーブル設定値による演算を開始する。

【0027】演算中のため、データ出力がすぐには不可能な時、射影処理制御回路15は、バスアービタ19に対しても、直ちには転送データを出力できないタイミングであることを示す信号18を出力する。また、演算中のため、射影処理制御回路15の入力レジスタが空かない時、シーケンサ14に対して、射影演算処理回路15がシーケンサ14に対して転送データを出力することを禁止する信号を発行して、データ転送の入力を一時的に待たせる。演算を終了し、フィールドデータを出力できる状況になると、射影処理制御回路15はバスアクセス許可信号21をチェックして、バスアクセス可能であれば、出力データをセレクタ17に対して出力すると同時に、出力アドレス信号26及びデータストローブ信号29を出力する。

【0028】セレクタ17、28、31は各々36、26、29を選択する。セレクタ31により選択されたデータストローブ信号33はメモリ11のチップセレクト信号として出力され、データバス信号25に出力されている射影演算処理されたデータが、アドレス信号32に出力されているアドレスの位置で、メモリ11に書き込まれる。逆に、射影処理制御回路15が演算中であり、データ出力が直ちにはでき

ない時は、信号18をアサートして、バスアービタ19に対して、バスアクセスを許可しないように指示する。このようにして、射影処理演算が進められ、転送ブロック長レジスタ42のカウントアップにより、転送終了信号34をアサートし、DMA処理の転送終了をシーケンサ14にに対して通知し、DMA処理が終了する。

【0029】ホストコンピュータの主記憶装置2→メモリ11方向以外のDMAが指定された場合、シーケンサ14は射影処理制御回路15を経由させずにDMAを実行する。その時、DMA処理の転送完了は、シーケンサ14内部の転送量カウンタのカウントアップによる。また、セレクタ17,28,31は各々、35,27,30を選択した状態で転送を実行する。

【0030】次に図3、図7及び図8により射影処理制御回路15の動作を説明する。まず、図3を参照しつつ図7のフローチャートの流れにしたがって説明する。ソフトウェアによりDMA転送準備として、転送ブロック長レジスタ42(ステップS1)、レコード長レジスタ41(ステップS2)、転送後レコード長レジスタ43(ステップS3)の各レジスタに値の設定を行なう。また、射影処理テーブル40に、入力レコードの先頭からの相対アドレス、フィールド長等の値を設定する(ステップS4)。さらに、レコードIDデータカウンタ54の初期値を設定する(ステップS5)。そして、DMA処理を起動する(ステップS6)。DMA処理が起動されると、転送開始信号37が入力され、制御部45が動作を始める。制御部45はテーブル制御信号49により射影処理テーブル40のアドレスポインタをリセットする(0にする)(ステップS7)。そして、演算部44に対して、射影処理テーブル40のデータをリードする指示を、制御信号48により発行する。そして射影処理テーブル40の内容をリードする(ステップS8)。この時点で、射影処理テーブル40に設定されたデータに、不正な内容があると、制御部45はエラー信号38によりシーケンサ14に対してエラー報告をする(ステップS9)。

【0031】次に、図3を参照しつつ図8のフローチャートの流れにしたがって説明する。演算部44は、リードした射影処理テーブル40のデータを解析する(ステップS10)。そして、読み込んだ射影処理テーブル40のデータがレコードID相対アドレスであった場合、その相対アドレスに入力アドレス信号27の値を加算したアドレスに、レコードIDデータカウンタ54の値をレジスタ/セレクタ部47で選択して出力転送データ信号36にて出力し、バスアクセス許可信号21のアサートを待って、出力ストローブ30を出力する(ステップS11)。出力後、レコードIDデータカウンタ54の値はインクリメントする。

【0032】制御部45からの制御信号51により、カウンタ46に転送ブロック長レジスタ42、転送後レコード長レジスタ43、レコード長レジスタ41、の各レジスタ値が読み込まれる。1フィールドに相当する相対アドレス及び

フィールド長の読み込みが完了するまで、出力許可信号24により、シーケンサ14に対して、入力転送データ35の出力を待たせておく。読み込みが完了すると、出力許可信号24がアサートされ、複数の入力転送データ35がレジスタ／セレクタ部47内部のレジスタにセットされる（ステップS12）。演算部44は、射影処理テーブル40から読み込んだ相対アドレス及びフィールド長からバス上に送り出すデータ出力サイズ52と出力アドレス26を演算し、出力する（ステップS13）。データ出力時には、バスアクセス許可信号21のアサートに伴って（ステップS14）、出力ストローブ信号30を出力し、メモリ11のチップセレクト信号となる（ステップS15）。

【0033】データ出力後、レジスタ／セレクタ部47の内部レジスタに空きができると、出力許可信号をアサートし、入力転送データ35をセットする。また、各転送長カウンタの値をチェックする（ステップS16）。1つのフィールドに対する転送が完了するとステップS8に戻り、制御部45は、次のフィールドに対応する射影処理テーブル40のデータを読み込むための転送指示48を出力する。出力後、1レコード分の転送を完了するとステップS7に戻り、制御部45はテーブル制御信号49により射影処理テーブル40のアドレスポインタを再びリセットし、次のレコードに対する同様の処理を実行する。転送ブロック長レジスタ42の値で設定した数値の転送を完了すると、カウンタ46から、カウント終了信号53により、制御部45に対して転送終了が伝達される。また、制御部45は転送終了信号34により、シーケンサ14に対して、DMA転送の完了を報告する（ステップS17）。

【0034】次に、図4～図6を使用して、射影処理テーブル40の設定内容例と、設定例により射影動作例を説明する。図4にDMA制御部12の内部に設けられた、射影処理テーブル40の内容定義の設定例を示す。各テーブルアドレスの各エントリには、図4に示すようなモードビットとデータ内容が設定される。例に示したモードビットのデコードによって、そのエントリが示す内容が何の値であるかを示している。この例では、モードビットは2ビットであり、各々、00＝フィールド長、01＝レコードID相対アドレス、10＝フィールド相対アドレス、11＝削除フィールド相対アドレスを表している。

【0035】図5に、図4の定義に基づく射影処理テーブル40の設定例を示す。この例では、レコードは3つのフィールドにより構成されており、各々の長さは3、2、1である。射影処理テーブル40の先頭の2つのエントリに、フィールド1の相対アドレスを2つ連続して設定することで、フィールド1を2箇所の転送先に振り分けることを指定している。そして、各々の転送先の、転送後レコード先頭からの相対距離は0と8である。また、その直後のエントリにレコードID相対アドレス4を指定することで、固定の長さを持つレコードIDを、転送後レコード先頭からの相対距離が4の場所に置くことを

意味している。レコードIDはシステムで固定長であるから、その長さを射影処理テーブル中に定義する必要はない。この例では、レコードIDの長さを4に固定している。また、次のエントリにフィールド2を削除フィールドとして設定している。削除フィールドを指定する時には、実際にはメモリに書かれないのであるから、その相対アドレス値は任意の値を設定すれば良い。削除フィールドの場合も、フィールド長は必要であり、次のエントリに設定する。フィールド3は、その転送先は1箇所であるため、その相対アドレス3を1つだけ設定している。

【0036】図6に、図5の射影処理テーブル設定による、実際のデータ転送の様子を示す。この例では1レコードだけを記載しているが、射影処理制御回路15では、DMAの転送長として、レコード長の整数倍の値を設定できるため、1回のDMA処理の起動により、メモリ11の大きさが許す限りの大量のデータ転送を、射影処理と含めて自動的に実行することができる。

【0037】また、ソート演算装置5では、転送後レコード長レジスタ43を設定することにより、射影処理を伴ったDMA転送後の、各レコード間の相対距離を設定することができるので、図6に示すように、空き領域を作ることができ、その領域をアプリケーション固有の情報付加など、自由に使用することができる、という利点がある。この例では、一例としてレコード長レジスタ41を6に、転送後レコード長レジスタ43を12と設定しているので、長さ1の空き領域が発生している。

【0038】またこの設定例では、射影処理テーブル40に設定できるフィールド相対アドレスの数を2としているが、フィールド相対アドレスの数をさらに増加させることも可能である。

【0039】本実施の形態によるソート演算装置5は、以上のような構成を持つことにより、ソフトウェアでシリアルに行なっていた射影演算処理を、射影演算処理内容を設定した射影処理テーブル40を参照するハードウェアによって、ソート処理と並列に実行することで、全体としての処理速度を大きく改善することができる。また、射影処理制御回路15において射影処理を実行する際、データベースを構成する各レコードにレコードIDを付加する、という付加機能をもたせ、システム全体としての処理速度を改善することができる。さらに、射影処理を実行する際、フィールド削除ができる、という付加機能をもたせ、システム全体としての処理速度を改善することができる。

【0040】次に、本実施の形態における更に詳細な機能の説明を行う。図9は、図2におけるバスアービタ19の内部構成を示すブロック図である。図において、60はプロセッサ10のバスアクセスを許可するプロセッサバス許可生成回路、61はDMA処理のバスアクセスを許可する、DMAバス許可生成回路、62は射影処理演算中の信号

11

18の立ち上がりの信号変化を検知する、立ち上がり微分回路、63は射影処理演算中の信号18の立ち下がりの信号変化を検知する、立ち下がり微分回路、64は立ち上がり信号変化検出信号、65は立ち下がり信号変化検出信号である。

【0041】バスアービタ19の動作を説明する。DMA処理の動作中、射影処理制御回路15は、射影処理演算中のため直ちにはデータを出力することが不可能な時、射影処理回路演算中信号18をアサートする。ここでは、信号18は信号レベルが低い電圧の時を有意とする。立ち下がり微分回路63は、影処理回路演算中の信号18の立ち下がり信号変化が発生した時、すなわち射影処理演算が完了し、直ちにデータを出力できる状態に変化した時を検出し、立ち下がり信号変化検出信号65として、DMAバス許可生成回路61に入力する。

【0042】また、立ち上がり微分回路62は、射影処理制御回路演算中の信号18の立ち上がり信号変化が発生した時、すなわち射影処理演算中であり直ちにはデータを出力することが不可能な状態に変化した時を検出して、立ち上がり信号変化検出信号64として、プロセッサバス許可生成回路60に入力する。

【0043】プロセッサ10の動作中バスアクセスの必要が生じた時、プロセッサ10はプロセッサバス要求信号22のアサートにより、バスをアクセスをバスアービタ19に対して要求する。またDMA処理が起動された時、シーケンサ14は、DMAバス要求信号20のアサートにより、バスアクセスをバスアービタ19に対して要求する。

【0044】プロセッサバス許可生成回路60は、プロセッサバス要求信号22がアサートされると、DMAバス要求信号20の状態、及びDMAバスアクセス許可信号21の状態、さらに立ち上がり信号変化検出信号64の状態を見て、プロセッサバスアクセス許可信号23を生成する。この時、立ち上がり信号変化検出信号64が有意となっていない場合、DMAバス要求信号20及びDMAバスアクセス許可信号21が有意でなければ、プロセッサバスアクセス許可信号23をアサートし、プロセッサ10にバスアクセスを許可する。

【0045】DMAバスアクセス許可信号21がアサート中、射影処理制御回路演算中の信号18が立ち下がり信号変化をし、立ち下がり検出変化信号64が有意となった場合、DMAバス許可生成回路61は直ちにDMAバスアクセス許可信号21をネゲートし、シーケンサ14のバスアクセスをやめさせる。DMAバスアクセス許可信号21のネゲートを検知したプロセッサバス許可生成回路60は、プロセッサバスアクセス許可信号23をアサートして、プロセッサ10にバスアクセスを許可する。

【0046】一方、プロセッサ10がバスアクセスをしている際に、アサートされていた射影処理制御回路演算中の信号18がネゲートされた場合、プロセッサバス許可生成回路60は、立ち上がり信号変化検出信号64を検知

10

12

し、直ちにプロセッサバスアクセス許可信号23をネゲートし、プロセッサ10にバスアクセスをやめさせる。プロセッサバスアクセス許可信号23のネゲートを検知したDMAバス許可生成回路61は、DMAバスアクセス許可信号をアサートし、DMAシーケンサ14にバスアクセスを許可する。

【0047】このように、ソート演算装置5では、ソートデータ転送中、シーケンサ14とプロセッサ10とのバスアクセスの競合が発生している時、射影処理回路15の演算時間によるDMA転送のバスアクセスがまばらなる場合、射影処理制御回路15からの射影処理制御回路演算中の信号18のアサートにより、その立ち下がり信号変化を、立ち下がり微分回路63によって検出し、プロセッサ10に対して優先的にバスアクセスを許可することにより、バス25を効率的に使用でき、結果的にシステム性能を改善することができる。

20

【0048】また、ソートデータ転送中、シーケンサ14とプロセッサ10とのバスアクセスの競合が発生している時、射影処理回路15の演算が完了し、射影処理制御回路15が転送データを直ちに出力できる状況となった時、射影処理制御回路15からの射影処理回路演算中の信号18のネゲートにより、その立ち上がり信号変化を、立ち上がり微分回路62によって検出し、シーケンサ14に対して優先的にバスアクセスを許可することにより、バス25を効率的に使用でき、結果的にシステム性能を改善することができる。

30

【0049】図10は、射影処理テーブルに設定された不正な内容を検出する機能を、フローチャートで示した図である。この機能は、例えば、射影処理制御回路15の内部ブロック図である図3に示す制御部45に内蔵する。また、この機能は、図7の射影処理のフローチャートにおける、射影処理テーブル内容エラー検出→エラー信号発行の部分に相当する。

40

【0050】図10のフローチャートについて説明する。このフローチャートは、既に説明したフィールドの転送先相対アドレスを最大2箇所に転送する設定例に対応するものである。即ち、図4に示した射影処理テーブル・ビットアサインの定義例と対応している。DMA処理の転送が開始され（ステップS20）、射影処理テーブル40のアドレスがリセットされ（ステップS21）、射影処理テーブル40の内容（0番地）がリードされる（ステップS22）。そして、リードしたモードビットの2ビットを解析し、不正なモードビット内容か否かをチェックする（ステップS23）。モードビットが0*であった時、図5の先頭のモードビット10と相違するのでエラー処理のスタートに入る。これは、1つのフィールドに対するバラメータが、必ずフィールド相対アドレス1個あるいは2個から始まる射影処理テーブル内容設定ルールに反するためである。なお、0*の*はDon't careを意味し値は特に特定しない。モードビット

50

13

が1*であった時、射影処理テーブル40のアドレスが更新され(ステップS24)、再び射影処理テーブル40からデータが読み込まれる(ステップS25)。

【0051】続いて図11のフローチャートについて説明する。リードしたモードビットの2ビットを解析し(ステップS26)、01であれば、レコードID相対アドレスが設定されているので、次のアドレスはフィールド長ではない。00であれば、そのフィールドの転送を開始する。また、1*であれば、2箇所目のフィールド相対アドレスが設定されているので、さらに射影処理テーブルアドレスの更新をし(ステップS27)、次のアドレスのリードを行なう(ステップS28)。ここで、モードビットが1*であれば、3個目のフィールド相対アドレスが設定されることになるので、エラー処理に移行する(ステップS33)。また、00であれば、そのフィールドの転送を開始する(ステップS34)。

01の時、レコードID相対アドレスが設定されているので、さらに射影処理テーブル40にアドレス1を加え、再度射影処理テーブルをリードする(ステップS31)。ここでの射影処理テーブル内容は、フィールド長データしかあり得ないため(ステップS32)、もし、00以外が設定されていれば、エラー処理をする(ステップS33)。00が設定されていた時、転送処理を開始する(ステップS34)。以上の射影処理テーブルリード処理を、射影処理テーブル40の1つのフィールド設定毎に繰り返す。

【0052】この例は、最大2箇所の相対アドレスにフィールドを書き込む例であるが、相対アドレス数を増加させることもできる。

【0053】以上のような構成を持つことで、射影処理制御回路15の動作パラメータをプロセッサにより設定する際、不正なパラメータを設定して転送を起動しようとした場合、その不正を検出し、エラー信号として上位制御回路に報告することにより、システムの信頼性を高めることができる。

【0054】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0055】入力レコードに射影処理を施す際、射影演算処理内容を設定した射影処理テーブルを参照する射影処理制御回路により行なうようにしたので、処理速度を向上することができる。

【0056】また、射影処理テーブルは、一つのフィールドにつき複数の相対アドレスを設定可能としたので、きめ細かい射影処理が可能となる。

【0057】さらに、射影処理を実行する際、各レコードにレコード識別番号を付加するという付加機能をもたせたので、処理速度を向上することができる。

【0058】また、射影処理を実行する際、フィールド削除ができるという付加機能をもたせたので、処理速度

10

20

30

40

50

14

を向上することができる。

【0059】さらにまた、射影処理テーブルは、データ内容とそのデータ内容の種別を表す識別子から構成されているので、不正なデータを検出し、エラー信号として報告することにより、システムの信頼性を高めることができる。

【0060】また、射影演算処理内容を設定した射影処理テーブルを参照する射影処理制御回路によって、ソート処理と並列に実行することで、ソート演算装置全体としての処理速度を向上することができる。

【0061】さらに、射影処理制御回路が射影処理のための演算途中で、直ちにはデータ出力ができないとき、射影処理制御回路の使用するバスを共通に使用する他のプロセッサのバスアクセスに積極的にバスを明け渡すことにより、ソート演算装置全体としての処理速度を向上することができる。

【0062】また、メモリをバッファとして射影処理とソート処理を交互に行なうようにしたので、ソート処理と並列に射影処理を実行することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1を示すソート演算装置のシステム構成図である。

【図2】この発明の実施の形態1を示すDMA制御部の回路図である。

【図3】この発明の実施の形態1を示す射影処理制御回路の回路図である。

【図4】この発明の実施の形態1を示す射影処理テーブルのモードビットのビットアサインを示す構成図である。

【図5】この発明の実施の形態1を示す射影処理テーブルの設定例を示す構成図である。

【図6】この発明の実施の形態1を示す射影処理の実行例を示す説明図である。

【図7】この発明の実施の形態1を示す射影処理の動作を示すフローチャートである。

【図8】この発明の実施の形態1を示す射影処理の動作を示すフローチャートである。

【図9】この発明の実施の形態1を示すDMA制御部のバスアービタを示す回路図である。

【図10】この発明の実施の形態1を示す射影処理テーブルに設定された不正なデータを検出するための処理を示すフローチャートである。

【図11】この発明の実施の形態1を示す射影処理テーブルに設定された不正なデータを検出するための処理を示すフローチャートである。

【図12】従来例のソート演算装置を示すシステム構成図である。

【符号の説明】

5 ソート演算装置、9 ソータ部、10 プロセッサ、11 メモリ、14 シーケンサ、15 射影処理制

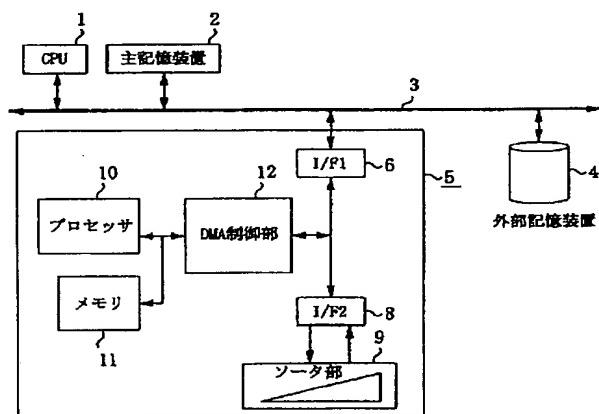
15

16

御回路（データ処理装置）、19 バスアービタ（調停
回路）、40 射影処理テーブル、44 演算部、45 *

* 制御部、47 レジスタ／セレクタ部。

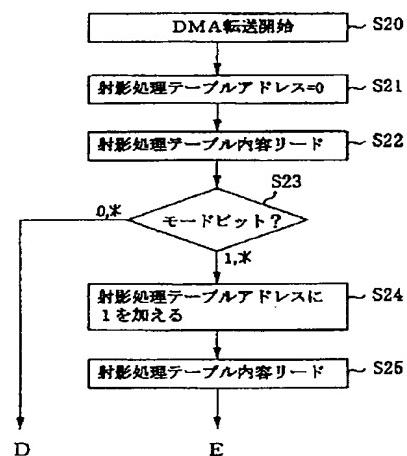
【図1】



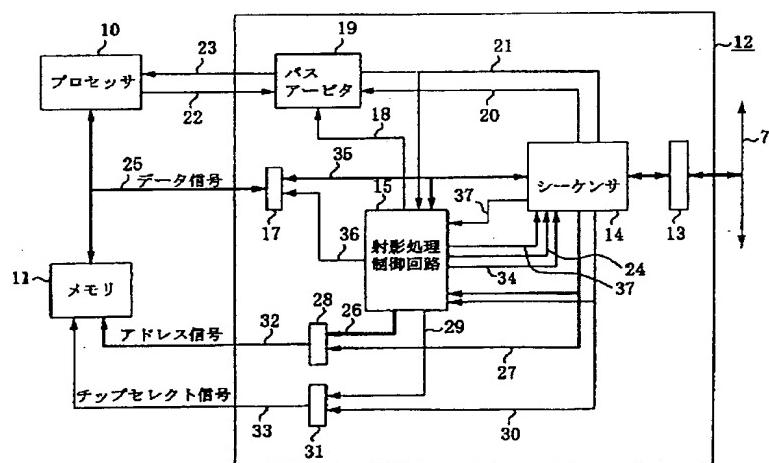
【図4】

射影処理テーブル・ビットアサイン	
モード	データ内容
0 0	フィールド長
0 1	レコードID相対アドレス
1 0	フィールド相対アドレス
1 1	削除フィールド相対アドレス

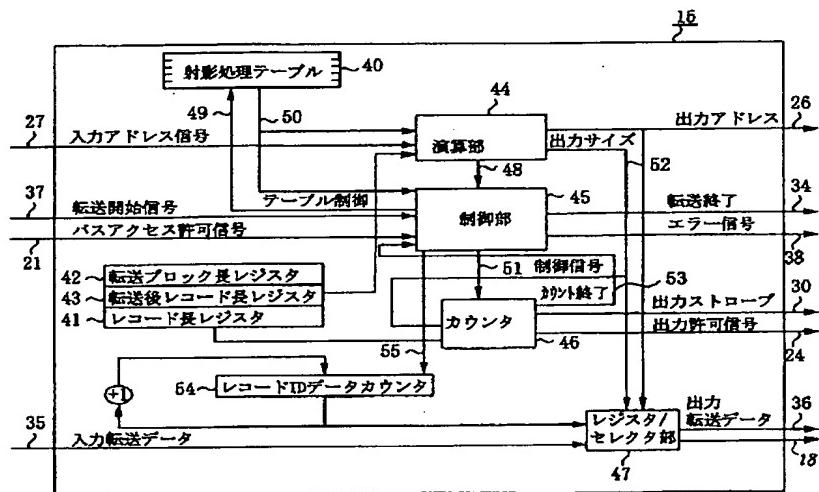
【図10】



【図2】



【図3】



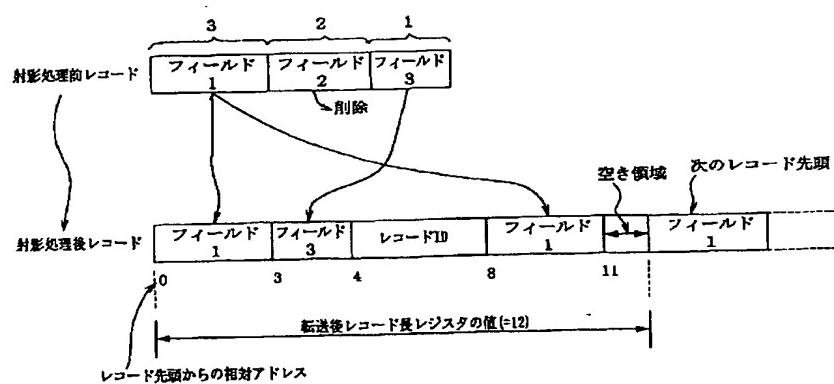
【図5】

射影処理テーブル設定例		
テーブルアドレス		
000	1 0	フィールド1相対アドレス(1)=0
001	1 0	フィールド1相対アドレス(2)=8
002	0 1	レコードID相対アドレス=4
003	0 0	フィールド1の長さ=2
004	1 1	フィールド2相対アドレス(削除フィールド)=任意
005	0 0	フィールド2の長さ=3
006	1 0	フィールド3相対アドレス(1)=3
007	0 0	フィールド1の長さ=1
008	~ ~	~

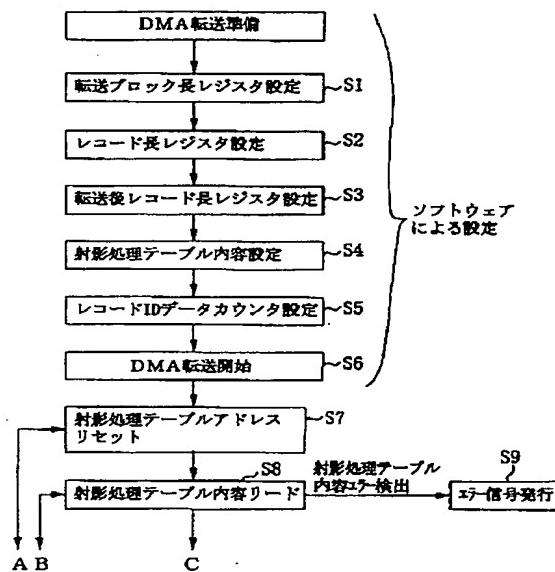
40

フィールド1、
レコードID
フィールド2
フィールド3

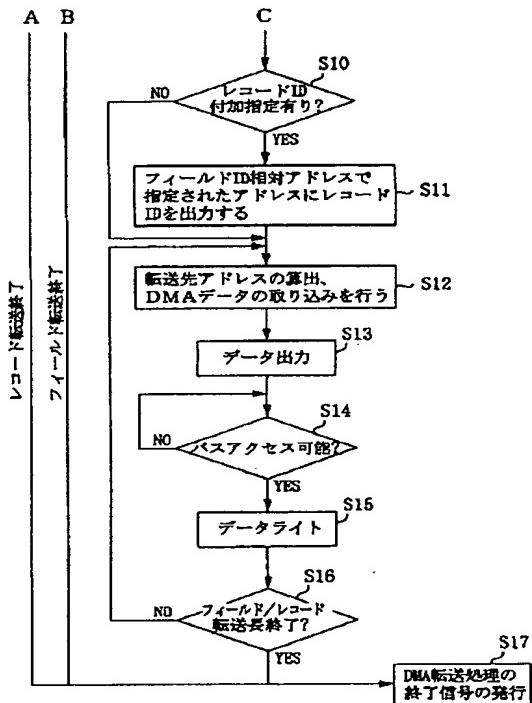
【図6】



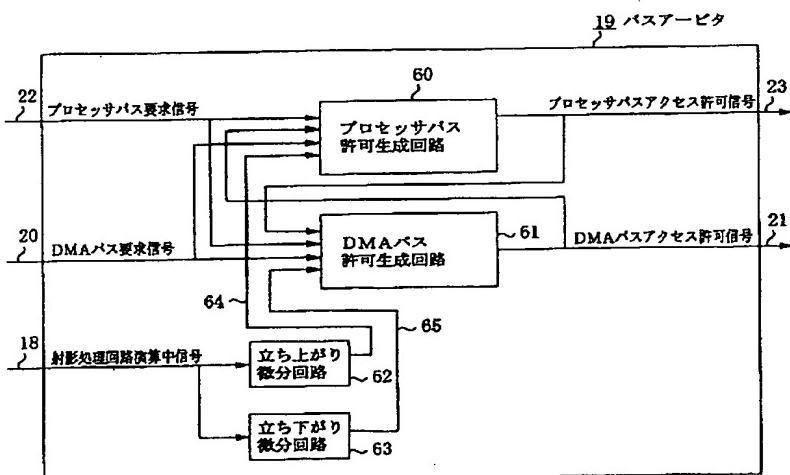
【図7】



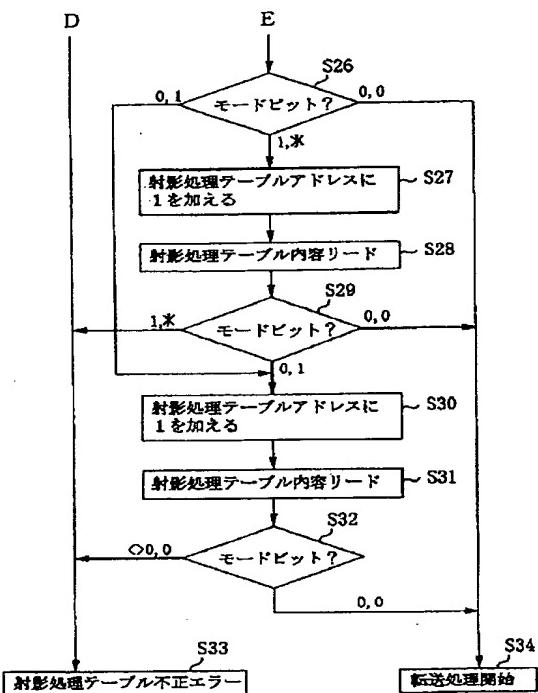
【図8】



【図9】



【図11】



【図12】

